

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-072656

(43)Date of publication of application : 06.03.1992

(51)Int.Cl.

H01L 23/522
H01L 21/3205
H01L 21/66
H01L 23/12
H01L 25/04
H01L 25/18
H01L 27/04

(21)Application number : 02-309259

(71)Applicant : HITACHI LTD
HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 15.11.1990

(72)Inventor : OKAMOTO YOSHIHIKO
YAMADA HIDEYUKI

(30)Priority

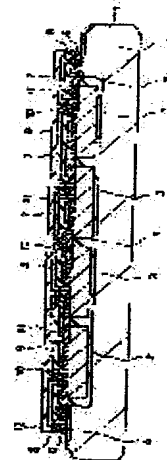
Priority number : 02122640 Priority date : 11.05.1990 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce an interval between semiconductor chips by a method wherein insulating layers and wiring layers are laminated alternately on the main face of a plurality of semiconductor chips which have been mounted on a substrate, the semiconductor chips are connected directly through wiring of the wiring layers.

CONSTITUTION: A U-shaped groove 2 is formed in the main face of a substrate 1; and a plurality of semiconductor chips 3 are mounted inside the U-shaped groove 2. An insulating film 6 is formed on the main face of the chips 3; the surface of the film 6 is used as a first-layer wiring layer; and wiring 7 is formed on the wiring layer. A second insulating film 8 is deposited on the first-layer wiring layer; wiring 9 is formed on the second-layer wiring layer on the surface of the film 8. The lower-layer wiring 7 and the upper-layer wiring 9 are connected through connecting holes 10 which are made in the insulating film 8. The wiring 7, 9 are connected to lead wiring 4 in the circumferential part of the substrate 1 through connecting holes 10, 11; and signals are supplied to a multichip module from external signal sources through the lead wiring 4 and the wiring 7, 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

平4-72656

⑤ Int. Cl.³
H 01 L 23/522

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月6日

6918-4M
6810-4M

H 01 L 23/52
21/88

B
A※

審査請求 未請求 請求項の数 10 (全16頁)

⑥ 発明の名称 半導体集積回路装置およびその製造方法

⑦ 特 願 平2-309259

⑧ 出 願 平2(1990)11月15日

優先権主張 ⑨ 平2(1990)5月11日 ⑩ 日本(JP) ⑪ 特願 平2-122640

⑫ 発 明 者 岡 本 好 彦 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑬ 発 明 者 山 田 秀 行 神奈川県秦野市堀山下1番地 日立コンピュータエンジニアリング株式会社内

⑭ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑮ 出 願 人 日立コンピュータエンジニアリング株式会社 神奈川県秦野市堀山下1番地

⑯ 代 理 人 弁理士 筒井 大和
最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置およびその製造方法

2. 特許請求の範囲

1. 基板上に搭載した複数個の半導体チップの主面上に絶縁層と配線層とを交互に積層し、前記配線層の配線を通じて前記半導体チップ間を直結したことを特徴とする半導体集積回路装置。
2. 前記配線層の配線を通じて前記半導体チップの内部配線同士を接続したことを特徴とする請求項1記載の半導体集積回路装置。
3. 前記基板に配線を設けるとともに、前記基板上に配線用チップをフェイスダウン・ボンディングし、前記配線用チップの内部配線を通じて前記配線層の配線と前記基板の配線とを接続したことを特徴とする請求項1記載の半導体集積回路装置。
4. 前記基板をパッケージで封止したことを特徴とする請求項1記載の半導体集積回路装置。
5. システムの構成単位となる複数個の半導体チ

ップを基板上に搭載した後、前記半導体チップの主面上に絶縁層および配線層を交互に形成し、品種毎にパターン形成した前記配線層の配線を通じて所定の半導体チップ間を接続することによって、前記基板上に所定のシステムを実現することを特徴とする半導体集積回路装置の製造方法。

6. システムの構成単位となる前記複数個の半導体チップは、シングルチップ・マイクロコンピュータを含むことを特徴とする請求項5記載の半導体集積回路装置の製造方法。
7. 品種毎に作成したチップ間結線情報ファイルに基づいて前記配線層の配線をパターン形成することを特徴とする請求項5記載の半導体集積回路装置の製造方法。
8. 電子線直接描画法またはレーザー直接描画法を用いて前記配線層の配線をパターン形成することを特徴とする請求項5記載の半導体集積回路装置の製造方法。
9. 半導体ウエハのスクライブライン上に半導体

チップに接続されたパッドを形成し、ウエハプロセス完了後、前記パッドにプローブを当接して前記半導体チップの良否を判定することを特徴とする請求項5記載の半導体集積回路装置の製造方法。

10. 半導体ウエハの一部に半導体チップに接続されたテスト用チップを形成し、ウエハプロセス完了後、前記テスト用チップを通じて前記半導体チップの良否を判定することを特徴とする請求項5記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置およびその製造技術に関し、特にマルチチップ・モジュールに適用して有効な技術に関するものである。

(従来の技術)

マルチチップ・モジュールは、CPU、RAM、ROM、ゲートアレイなどの集積回路を半導体チップ単位で作成し、これらの半導体チップを配線基板上に実装することによって、所望のシステム

孔に埋込んだ後、基板の主面にAlなどの導電膜を堆積する。次に、上記導電膜上にフォトレジストを塗布し、配線用フォトリソマスクを用いて上記フォトレジストを露光した後、現像を行い、得られたレジストマスクを用いて上記導電膜のエッチングを行う。

(発明が解決しようとする課題)

本発明者の検討によれば、前記文献に記載されたマルチチップ・モジュールの結線方式は、半導体チップを埋込む孔の周囲に多数の配線接続用パッドを設ける必要があるため、孔同士の間隔を縮小することが困難となり、半導体チップを高密度に実装することができないという問題があった。

また、大規模ASIC(Application Specific IC)の需要増大に伴い、マルチチップ・モジュールにおいても開発期間(TAT)の短縮が要求されているが、前記マルチチップ・モジュールの場合は、品種が変わる毎にその都度配線用フォトリソマスクを製造する必要があるため、開発期間が長期化するのみならず、製造コストも増大するという

を実現する方式である。半導体チップを基板上に実装するには、ワイヤボンディング、TAB、フリップチップなどの実装方式が用いられる。また、配線基板材料には、セラミック、合成樹脂、シリコンウエハなどが用いられる。

「アイ・イー・イー・イー、トランザクションズ オン コンポーネンツ、ハイブリッツ、アンド マニファクチャリング テクノロジー、12巻、第2号、1989年6月(IEEE TRANSACTIONS ON COMPONENTS, HYBRIDS, AND MANUFACTURING TECHNOLOGY, VOL.12, NO.2, JUNE 1989)」P185～P194には、マルチチップ・モジュールの一例が記載されている。上記文献には、シリコンウエハからなる基板の主面に半導体チップとほぼ同寸法の孔を設け、上記孔に埋込んだ半導体チップと基板との間に配線をパターン形成することによって、半導体チップ間を結線する方式が提案されている。上記配線を形成するには、あらかじめ基板の孔の周囲および半導体チップのそれぞれに配線接続用のパッドを形成しておき、半導体チップを

問題があった。

本発明は、上記した問題点に着目してなされたものであり、その目的はマルチチップ・モジュールの実装密度を向上させる技術を提供することにある。

本発明の他の目的は、マルチチップ・モジュールの開発期間を短縮する技術を提供することにある。

本発明の他の目的は、マルチチップ・モジュールの製造コストを低減する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち、代表的なもの概要を簡単に説明すれば、次のとおりである。

- (1). 本願の一発明は、システムの構成単位となる複数個の半導体チップを基板上に搭載した後、前

記半導体チップの主面上に絶縁層および配線層を交互に形成し、品種毎にパターン形成した前記配線層の配線を通じて所定の半導体チップ間を接続することによって、前記基板上に所定のシステムを実現するマルチチップ・モジュールの製造方法である。

(2)、本願の一発明は、前記配線層の配線を電子線直接描画法またはレーザ直接描画法を用いてパターン形成する方法である。

(3)、本願の一発明は、前記半導体チップ上に集積回路を形成する際、半導体ウエハのスクライブライン上に前記半導体チップに接続されたパッドを形成し、ウエハプロセス完了後、前記パッドにプローブを当接して前記半導体チップの良否を判定する方法である。

(4)、本願の一発明は、前記半導体チップ上に集積回路を形成する際、半導体ウエハの一部に前記半導体チップに接続されたテスト用チップを形成し、ウエハプロセス完了後、前記テスト用チップを通じて前記半導体チップの良否を判定する方法であ

る。

〔実施例1〕

第1図は、本実施例1によるマルチチップ・モジュールの要部を示す断面図である。

このマルチチップ・モジュールの基板1の主面には、平坦な底面を有する凹溝2が設けられており、上記凹溝2内には複数個の半導体チップ3、3…がそれらの主面の高さを合わせて搭載されている。上記半導体チップ3の主面の高さは、基板1の主面の外周部の高さに合わせてある。上記基板1は、例えばシリコン単結晶からなる半導体ウエハ、または上記半導体チップ3よりも面積の大きい半導体チップにより構成されている。

上記基板1の主面の外周部には、マルチチップ・モジュールの入出力信号用端子および電源用端子を構成する多数のリード配線4が設けられている。上記リード配線4は、例えば基板1の主面にスパッタ法またはCVD法で堆積したAl、Cu、高融点金属などの導電膜をフォトリソグラフィ技術を利用して加工したものである。基板1に搭載

る。

〔作用〕

上記した手段(1)によれば、配線層の配線パターンを変更するだけで、同一基板上に異なるシステムを実現することができるので、品種毎に基板を製造したり、基板上に半導体チップを搭載したりする工程が不要となる。また、半導体チップの主面上に配線を形成するので、配線基板上に半導体チップを実装する従来のマルチチップ・モジュールに比べて、配線のパターン変更や修正も容易に行うことができる。

上記した手段(2)によれば、品種毎に配線用フォトマスクを製造する工程が不要となる。

上記した手段(3)によれば、従来、半導体チップの内部に設けていた外部接続用のパッドが不要となるので、その分、チップ面積を縮小することができる。

上記した手段(4)によれば、従来、半導体チップの内部に設けていたテスト用の回路が不要となるので、その分、チップ面積を縮小することができ

した半導体チップ3の底面および半導体チップ3同士の隙間には、例えばエポキシ樹脂、ポリイミド樹脂のような耐熱性合成樹脂またはガラスのような耐熱性無機材料からなる絶縁性の充填材5が設けられている。上記充填材5は、半導体チップ3と基板1との接着や、半導体チップ3の位置決めなどを目的として設けられており、半導体チップ3および基板1を構成するシリコンの熱膨張係数に等しいか、または極めて近い材料によって構成されている。

上記半導体チップ3の主面上には、絶縁膜6が設けられている。上記絶縁膜6は、例えばCVD法で堆積したSiO₂膜からなる。また、上記絶縁膜6としては、CVD法で堆積したPSG(Phospho-Silicate Glass)膜、BSG(Boro-Silicate Glass)膜、BPSSG(Boro-Phospho-Silicate Glass)膜、あるいはスピンコート法で塗布したポリイミド樹脂膜などを用いることもできる。

上記絶縁膜6の上面は、第一層目の配線層となっており、この配線層には配線7が設けられてい

る。上記第一層目の配線層の上には第二の絶縁膜8が堆積されており、この絶縁膜8の上面の第二層目の配線層には配線9が設けられている。上記絶縁膜8は、例えば下層の絶縁膜6と同一の方法で堆積した同一の絶縁材料により構成されている。上記配線7、9は、例えばスパッタ法またはCVD法で堆積したAl、Cu、高融点金属などの導電膜を後述する電子線直接描画法でパターン形成したものである。上記配線7、9のそれぞれは、入出力信号用配線と電源用配線とで構成されており、下層の配線7と上層の配線9とは、絶縁膜8に開孔された接続孔10を通じて接続されている。第1図では図示を一部省略するが、下層の配線7は、絶縁膜6および半導体チップ3のバッシベーション膜にそれぞれ開孔された接続孔11を通じて半導体チップ3の内部配線と直結されている。また、配線7の一部は、接続孔11を通じて半導体チップ3の内部配線同士を接続している。上記接続孔10、11は、後述する電子線直接描画法で絶縁膜6、8を開孔することにより形成されて

いる。配線7、9は、接続孔10、11を通じて基板1の外周部のリード配線4とも接続されており、上記リード配線4および配線7、9を通じて外部信号源(電源)からマルチチップ・モジュールに信号(電源)が供給されるようになっている。なお、配線9の上層には、配線7、9および半導体チップ3を外部から保護するためのバッシベーション膜12が設けられている。上記バッシベーション膜12は、例えばCVD法で堆積したSiO₂膜、Si₃N₄膜、またはこれらを積層した複合絶縁膜からなる。

第2図に示すように、上記基板1上に搭載された半導体チップ3、3…は、例えばシングルチップ・マイクロコンピュータ、RAM、ROM、マクロセル(A/D、D/Aなど)およびランダムロジックにより構成されている。本実施例1のマルチチップ・モジュールは、上記半導体チップ3間を前記配線7、9で接続することによって、基板1上に所定のシステムを実現したものである。なお、第2図では、半導体チップ3の主面上の絶

縁膜6、8、配線7、9、バッシベーション膜12などの図示は省略してある。

このように、本実施例1のマルチチップ・モジュールは、基板1上に搭載した半導体チップ3、3…の主面上に配線層を設け、上記配線層の配線7、9を通じて所定の半導体チップ3間を接続する方式を採用しているため、上記配線7、9のパターンを変更するだけで同一の基板1上に異なるシステムを実現することができる。また、製品完成後においても、配線パターンの変更や修正を容易に実施することができる。これにより、品種毎に基板を設計、製造したり、基板上に半導体チップを搭載したりする工程が不要となるので、マルチチップ・モジュールの開発期間の短縮および製造コストの低減を実現することができる。

また、第3図に示すように、本実施例1のマルチチップ・モジュールは、所定のシステム機能を有するシングルチップ・マイクロコンピュータをより大規模なシステムの構成単位(マクロセル)と見做し、これをRAM、ROM、ランダムロジ

ックなどと共に基板1上に搭載しているため、上記配線7、9のパターンを変更することにより、基板1上でシステムの規模を段階的に拡大することができる。

また、本実施例1のマルチチップ・モジュールは、半導体チップ3、3…の主面上にパターン形成した配線7、9を通じて所定の半導体チップ3間を直結している。これにより、半導体チップ3の内部配線を周辺部のボンディングパッドまで引き回す必要がないので、内部配線長が短くなり、その分システムの高速動作を実現することができる。また、基板1上に配線や配線接続用パッドを設ける必要もないので、半導体チップ3同士の間隔を著しく縮小することができ、半導体チップ3の高密度実装、すなわちシステムの大規模化を容易に実現することができる。

また、本実施例1のマルチチップ・モジュールは、配線7および接続孔11を通じて半導体チップ3の内部配線同士を接続している。すなわち、配線7の一部は、実質的に半導体チップ3の内部

配線の最上層配線を構成している。これにより、半導体チップ3の内部配線密度を低減することができるので、配線設計の自由度を向上させることができ、マルチチップ・モジュールの開発期間を短縮することができる。

次に、上記の構成を備えたマルチチップ・モジュールの製造方法の一例を第4図に示すフローに従って説明する。

まず、公知のウエハプロセス(CMOSプロセス、バイポーラプロセスなど)に従い、半導体ウエハの主面に前記CPU、RAM、ROM、ゲートアレイなどの集積回路を形成する。第5図は、上記集積回路の一例を示す半導体ウエハの断面図である。図において、例えばp形シリコンからなる半導体ウエハ20には、n⁺形の埋込み層21が設けられている。また、半導体ウエハ20上には、n形シリコンからなるエピタキシャル層22が設けられている。上記エピタキシャル層22の所定領域には、SiO₂膜からなるフィールド絶縁膜23が設けられており、これにより素子間お

よび素子内の各特性部の分離が行われている。上記フィールド絶縁膜23の下方には、p⁺形のチャンネルストップ領域24が設けられている。またフィールド絶縁膜23で囲まれた領域のエピタキシャル層22中には、p形の真正ベース領域25およびp⁺形の外部ベース領域26がそれぞれ設けられている。上記真正ベース領域25中には、n⁺形のエミッタ領域27が設けられている。上記エミッタ領域27、真正ベース領域25、真正ベース領域25の下方におけるエピタキシャル層22および埋込み層21からなるコレクタ領域によってnpn形のバイポーラトランジスタが構成されている。なお同図中、符号28は、埋込み層21と接続されたn⁺形のコレクタ取出し領域である。

上記フィールド絶縁膜23に接続された、例えばSiO₂膜からなる絶縁膜28には、上記外部ベース領域26、エミッタ領域27およびコレクタ取出し領域28に対応して、接続孔29a~29cがそれぞれ開孔されている。上記接続孔29

a~29cを通じて外部ベース領域26に対して多結晶シリコン膜からなるベース引出し電極30が接続されているとともに、エミッタ領域27上に多結晶シリコン膜からなるエミッタ引出し電極31が設けられている。なお符号32、33は、例えばSiO₂膜からなる絶縁膜である。

符号34a~34cは、例えばAl膜からなる第一層目の配線である。配線34aは、絶縁膜33に設けられた接続孔33aを通じてベース引出し電極30に、配線34bは、接続孔33bを通じてエミッタ電極31に、配線34cは、接続孔33cおよび接続孔29cを通じてコレクタ取出し領域28にそれぞれ接続されている。また、符号35は、例えばSi₃N₄膜、スピノングラス膜およびSiO₂膜を積層した層間絶縁膜である。上記層間絶縁膜35の上層には、例えばAl膜からなる第二層目の配線36が設けられている。上記配線36は、層間絶縁膜35に開孔された接続孔35aを通じて第二層目の配線34cに接続されている。なお、上記接続孔35aは、階段状の

段差形状を有し、これによって接続孔35a内における配線36のステップカバレッジの向上を図っている。

符号37は、上記層間絶縁膜35と同様な構成からなる第二の層間絶縁膜であり、その上層には例えばAl膜からなる第三層目の配線38a~38cが設けられている。配線38aは、層間絶縁膜37に開孔された接続孔37aを通じて第二層目の配線36に接続されている。また、符号39は、上記層間絶縁膜35、37と同様な構成からなる第三の層間絶縁膜であり、その上層には、例えばAl膜からなる第四層目の配線40a~40cが設けられている。上記配線40a~40cは、電源用配線であり、大電流の供給を可能とするために下層の各配線に比べて線幅、膜厚ともに大きくなっている。

符号41は、表面平坦化用の絶縁膜であり、例えばバイアススパッタ法、またはCVD法とスパッタエッチングとの組み合わせによって堆積したSiO₂膜からなる。また、上記絶縁膜41とし

ては、CVD法とスパッタエッチングとの組み合わせによって堆積したPSG膜、BSG膜、BPSG膜などを用いることもできる。上記絶縁膜41の上層には、例えばプラズマCVD法で堆積したSi₃N₄膜42とSiO₂膜43とを積層したパッシベーション膜44が設けられている。

第6図および第7図は、上記集積回路を形成した半導体ウエハ20をそれぞれ示す部分平面図である。

第6図に示すように、半導体ウエハ20の主面には、多数の半導体チップ3が格子状に配置されており、それぞれの半導体チップ3は、スクライブラインSによって互いに分離されている。上記スクライブラインS上には、半導体チップ3に接続された多数のテスト用パッド50が形成されている。上記テスト用パッド50は、半導体チップ3の内部配線と同一の製造工程で形成された同一の導電膜(A1膜)により構成されている。また、第7図に示すように、半導体ウエハ20の主面の余領域には、半導体チップ3よりも小形のテスト

用チップ3aが形成されている。上記テスト用チップ3aは、スクライブラインS上に形成された配線51を通じて半導体チップ3に接続されている。上記配線51は、半導体チップ3の内部配線およびテスト用パッド50と同一の製造工程で形成された同一の導電膜(A1膜)により構成されている。上記テスト用チップ3aの主面には、半導体チップ3に形成された集積回路の動作状態をテストするためのテスト回路(テストパターン発生回路、テスト結果解析回路)が形成されている。上記テスト用回路は、半導体チップ3の主面に集積回路を形成する工程で同時に形成される。

上記ウエハプロセスが完了した半導体ウエハ20は、テスト工程に移され、プローブテストによってそれぞれの半導体チップ3の良否が判定される。上記プローブテストは、スクライブラインS上に設けた前記テスト用パッド51にプローブを当接して行う。また、上記テスト用パッド51を通じてテスト用チップ3aにテスト実行命令を与え、半導体チップ3の良否をより詳細にテストす

る。その後、上記半導体ウエハ20をダイシングして半導体チップ3を分離する。上記ダイシングにより、テスト用パッド50およびテスト用チップ3aは、半導体チップ3から切り離される。なお、半導体チップ3とテスト用チップ3aとを接続する配線51やスクライブライン上のテスト用パッド50は、上記ダイシング工程に先立ち、半導体チップ3の裏面の前記パッシベーション膜44をマスクとしてエッチングにより除去してもよい。

このように、本実施例1の製造方法は、半導体ウエハ20のスクライブラインS上に半導体チップ3に接続されたテスト用パッド50を形成したので、半導体チップ3の内部にパッドを設けなくともプローブテストを実施することができる。

また、本実施例1の製造方法は、半導体ウエハ20の余領域にテスト回路を備えたテスト用チップ3aを形成し、このテスト用チップ3aを通じて半導体チップ3の良否を詳細にテストできるようにしたので、半導体チップ3の内部に上記テス

ト回路を設ける必要がなくなり、その分半導体チップ3の面積を縮小することができる。

次に、上記半導体チップ3を基板1上に搭載する方法を第8図～第10図を用いて説明する。

まず、第8図に示すように、半導体ウエハまたは大面積の半導体チップの主面をエッチングして凹溝2を形成した後、上記凹溝2の外周に沿ってリード配線4を形成し、前記基板1を作成する。次に、第9図に示すように、半導体チップ3同士の主面の高さを合わせるため、平坦な面上に半導体チップ3の主面を反転して載せ、半導体チップ3同士の隙間にエポキシ樹脂のような耐熱性合成樹脂からなる充填剤5を詰める。次に、第10図に示すように、半導体チップ3の裏面に基板1を押し付けて半導体チップ3と基板1との隙間全体に充填剤5を広げる。その後、加熱などの手段によって上記充填剤5を硬化させ、半導体チップ3を基板1の主面上に固定する。なお、基板1上に半導体チップ3を搭載する他の方法として、例えば静電接合(Anodic Bonding)法を用いることもで

きる。すなわち、シリコンと熱膨張係数の近いガラスを基板1と半導体チップ3との間に挟み、300～500℃の加熱雰囲気中、基板1および半導体チップ3を正、ガラスを負として500～1000Vの直流電圧を印加することにより、ガラス中の酸素イオンが基板1および半導体チップ3に拡散して両者の接合が行われる。

次に、品種毎に作成したチップ間結線情報ファイルに基づいて上記半導体チップ3の主面上に前記配線7、9をパターン形成する。配線7、9は、上記チップ間結線情報ファイルに基づいて作成した配線用フォトリソマスクを用いてパターン形成することもできるが、本実施例1では、電子線直接描画法（またはレーザ直接描画法）を用いる。

すなわち、基板1上に搭載した半導体チップ3の主面上に、例えばSiO₂膜からなる絶縁膜6をCVD法で堆積した後、上記絶縁膜6上に電子線レジストを塗布し、上記電子線レジストの所定領域を電子線で露光した後、現像を行う。電子線で露光する領域の座標の指定は、それぞれの半導

体チップ3の主面に前以って加工しておいた位置および高さ検出用のマークを測定して行う。上記マークは、例えばチップ内の最上層の配線（例えばアルミニウム等）で形成されている。上記マークは、パッシベーション膜44、絶縁膜6などによって覆われているので、電子線描画装置のビーム加速電圧は、高い方が有利である（本実施例1では、例えば50kV程度）。また、半導体チップ3は、主面の高さや相互の位置を合わせて基板1上に搭載してあるが、製造工程でのばらつきによって高さや位置がずれることがある。そこで、第6図、第7図に示すように上記位置および高さ検出用のマーク68を半導体チップ3の四隅に設けておき、第11図に示すように、それぞれの半導体チップ（P、Q…）のマーク68の位置および高さを測定して設計座標と実際の位置座標

$$P_i(x, y, z) \quad P_i'(x, y, z)$$

$$Q_i(x, y, z) \quad Q_i'(x, y, z)$$

...

...

$$(i = 1 \sim 4)$$

につき相関をとり、半導体チップ内の位置はそのマーク位置に基づいて、また半導体チップ間の位置はそれぞれの半導体チップのマーク位置に基づいてそれぞれ線形補間する。通常、半導体チップ3の面積は、10mm×10mm程度、基板1上における搭載歪みは、

平面位置：±20μm程度

高さ位置、傾き：±2μm程度

であるので、露光領域の座標は、上記線形補間によって補正することができる。

次に、上記の操作で得られたレジストマスクを用いて上記絶縁膜6およびその下層の半導体チップ3のパッシベーション膜44をエッチングすることにより、第12図に示すように、半導体チップ3の最上層配線40a～40cに達する接続孔11を開孔する。続いて、上記絶縁膜6上に、例えばAl膜からなる導電膜をスパッタ法で堆積した後、上記導電膜上に電子線レジストを塗布し、上記電子線レジストの所定領域を電子線で露光した後、現像を行う。なお、上記露光領域の座標の

指定も前述した方法で行う。次に、上記の操作で得られたレジストマスクを用いて上記導電膜をエッチングすることにより、配線7を形成する。第13図は、上記配線7を通じて半導体チップ3の最上層配線40a、40b間を接続した状態を示す断面図である。

その後、上記と同様の方法で第二層目の絶縁膜8の堆積、接続孔10の開孔および第二層目の配線9の形成を順次行い、最後にパッシベーション膜12を堆積することにより、前記第1図に示すマルチチップ・モジュールが完成する。なお、上記電子線直接描画法に代えてレーザ直接描画法を用いる場合も、上記と同様の方法で行うことができる。

このように、本実施例1の製造方法では、電子線直接描画法またはレーザ直接描画法を用いて配線7、9のパターン形成および接続孔10、11の開孔を行うので、品種毎に配線用フォトリソマスクを製造する工程が不要となり、マルチチップ・モジュールの開発期間の短縮および製造コストの低

減を実現することができる。

また、本実施例1の製造方法では、半導体チップ3の四隅に設けた位置および高さ検出用のマーク68を利用して露光領域の座標の補正を行うので、配線7、9や接続孔10、11の加工精度が向上し、マルチチップ・モジュールの製造歩留りを向上させることができる。

第14図は、上記基板1を封止したマルチチップ・パッケージ60の一例である。

基板1は、ろう材または接着剤を介してパッケージ基板61のキャビティ62内に封止されている。パッケージ基板61は、例えばムライトや窒化アルミニウムなどのセラミック材料からなり、その下面には所定数のリードピン63が設けられている。基板1のリード配線4は、A₁やA₂などからなるボンディングワイヤ64を介してパッケージ基板61のリード配線65と接続されている。また、上記リード配線65は、パッケージ基板61の内部配線（図示せず）を通じて上記リードピン63と接続されている。すなわち、基板1

に搭載された半導体チップ3は、配線7、9、リード配線4、ボンディングワイヤ64、リード配線65およびパッケージ基板61の内部配線を通じてリードピン63と接続されている。パッケージ基板61の主面の外周部には、ガラスなどの封止部材66を介してキャップ67が搭載されている。上記キャップ67は、例えばムライトや窒化アルミニウムなどのセラミック材料により構成されている。

〔実施例2〕

前記実施例1のマルチチップ・モジュールは、基板1上に搭載した半導体チップ3、3…の主面上にのみ配線層を設けたが、第15図に示すように、基板1側に配線11を増設して配線密度を向上させることにより、さらに大規模のシステムを実現することができる。この場合、電源用配線のパターンは多くの品種でほぼ共通しているため、基板1側の配線11を電源用配線とし、半導体チップ3主面上の配線7、9を信号用配線とするのがよい。

基板1の配線11と半導体チップ3、3…の主面上の配線7、9との接続は、配線11上にフェイスダウン・ボンディングした配線用チップ3bを通じて行う。上記配線用チップ3bには、貫通孔12aが開孔されており、上記貫通孔12aの内部には、内部配線13が設けられている。上記内部配線13は、その一端が配線7に接続されており、他端にはCCBパンプ14が接続されている。上記配線用チップ3bの貫通孔12aは、例えばKOH水溶液、エチレンジアミン水溶液などのエッチャントを用いた異方性エッチングにより開孔する。また、上記貫通孔12a内の内部配線13は、電鍍金属の埋込みなどによって形成する。上記内部配線13とCCBパンプ14との接続は、半田ボール供給法などによって行う。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

半導体チップの主面上に形成する配線層は、一層でもよく、また三層以上であってもよい。

基板上に半導体チップを搭載する際、あらかじめ半導体チップとほぼ同寸法の孔を基板に多数設けておき、それぞれの孔に半導体チップを一個ずつ埋込んでよい。

基板材料には、セラミックや合成樹脂などを用いることもできる。

基板を封止するパッケージは、樹脂封止形パッケージでもよい。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1)、本発明によれば、基板上に搭載する半導体チップ同士の間隔を著しく縮小することができるので、高集積マルチチップ・モジュールを容易に実現することができる。

(2)、本発明によれば、半導体チップの面積を縮小することができるので、高集積マルチチップ・モ

ジュールを容易に実現することができる。

(3). 本発明によれば、所定のシステム機能を有するシングルチップ・マイクロコンピュータをRAM、ROM、ランダムロジックなどと共に基板上に搭載することにより、基板上でシステムの規模を階層的に拡大することができる。

(4). 本発明によれば、品種毎に基板を設計、製造したり、基板上に半導体チップを搭載したりする工程が不要となるので、マルチチップ・モジュールの開発期間の短縮および製造コストの低減を実現することができる。

(5). 本発明によれば、品種毎に配線用フォトリソを製造する工程が不要となるので、マルチチップ・モジュールの開発期間の短縮および製造コストの低減を実現することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例であるマルチチップ・モジュールの断面図、

第2図は、基板に搭載した半導体チップのレイアウトを示す平面図、

配線用チップ、4、65・・・リード配線、5・・・充填材、6、8、29、32、33、41・・・絶縁膜、7、9、11、34a、34b、34c、36、38a、38b、38c、40a、40b、40c、51・・・配線、10、11、29a、29b、29c、33a、33b、33c、35a、37a・・・接続孔、12、44・・・パッシベーション膜、12a・・・貫通孔、13・・・内部配線、14・・・CCBパンプ、20・・・半導体ウエハ、21・・・埋込み層、22・・・エピタキシャル層、23・・・フィールド絶縁膜、24・・・チャネルストップ領域、25・・・真正ベース領域、26・・・外部ベース領域、27・・・エミッタ領域、28・・・コレクタ取出し領域、30・・・ベース引出し電極、31・・・エミッタ引出し電極、35、37、39・・・層間絶縁膜、42・・・Si₃N₄膜、43・・・SiO₂膜、50・・・テスト用パッド、60・・・マルチチップ・パッケージ、61・・・パッケージ基板、62・・・キャビティ、63

第3図は、システムを階層構造を説明する概念図、

第4図は、マルチチップ・モジュールの製造工程を示すフロー図、

第5図は、半導体ウエハに形成された集積回路の要部断面図、

第6図および第7図は、半導体ウエハの要部をそれぞれ示す平面図、

第8図乃至第10図は、半導体チップを基板に搭載する方法を工程順に示す断面図、

第11図は、基板上に搭載した半導体チップの位置および高さの補正方法を説明する図、

第12図および第13図は、半導体チップの主面上に配線を形成する方法を工程順に示す断面図、

第14図は、基板を封止したパッケージの断面図、

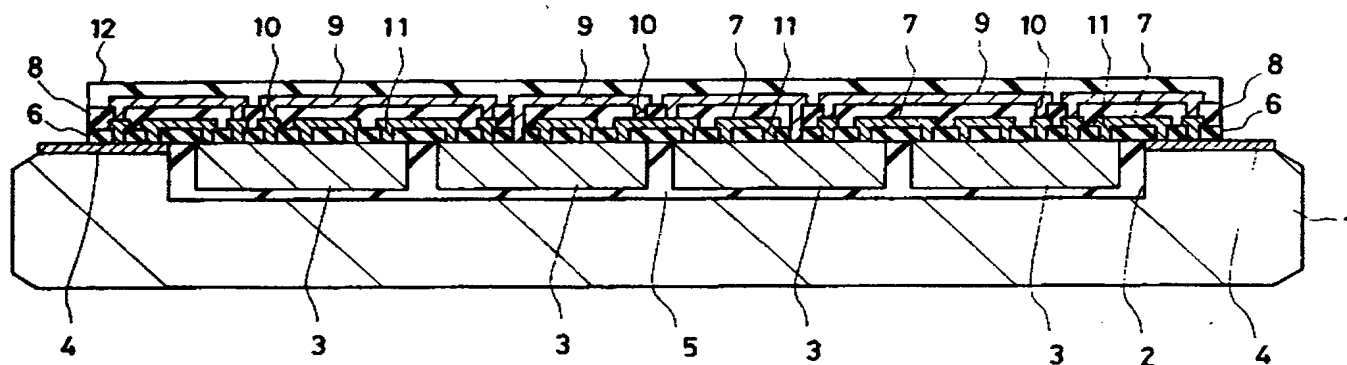
第15図は、本発明の他の実施例であるマルチチップ・モジュールの断面図である。

1・・・基板、2・・・凹溝、3・・・半導体チップ、3a・・・テスト用チップ、3b・・・

・・・リードピン、64・・・ボンディングワイヤ、66・・・封止材、67・・・キャップ、68・・・マーク、S・・・スクライブライン。

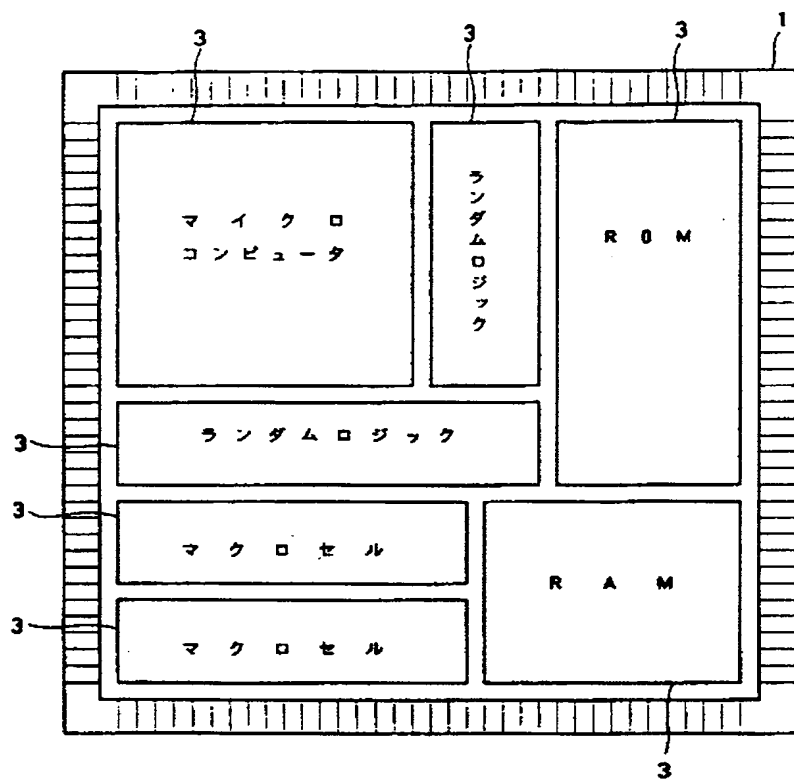
代理人 弁理士 筒井大和

第 1 図

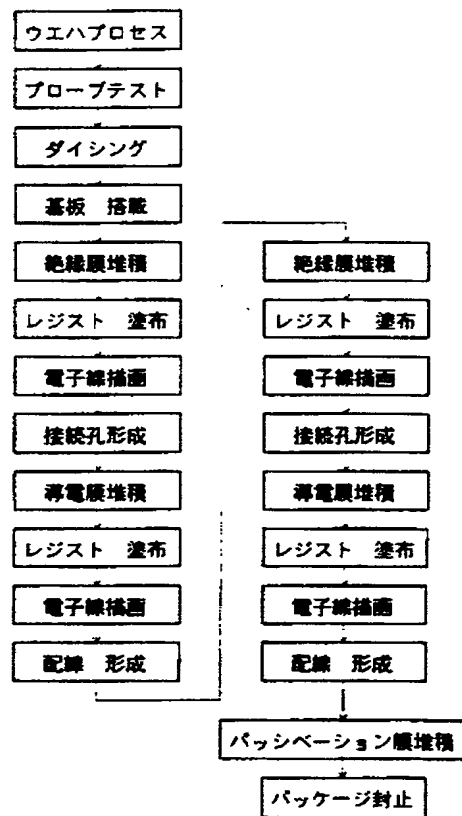


1: 基板
3: 半導体チップ
7, 9: 配線

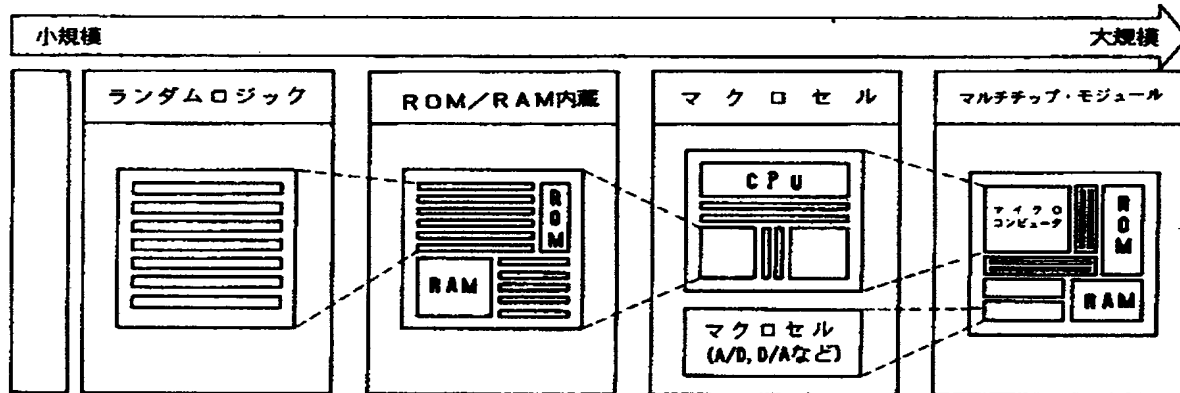
第 2 図



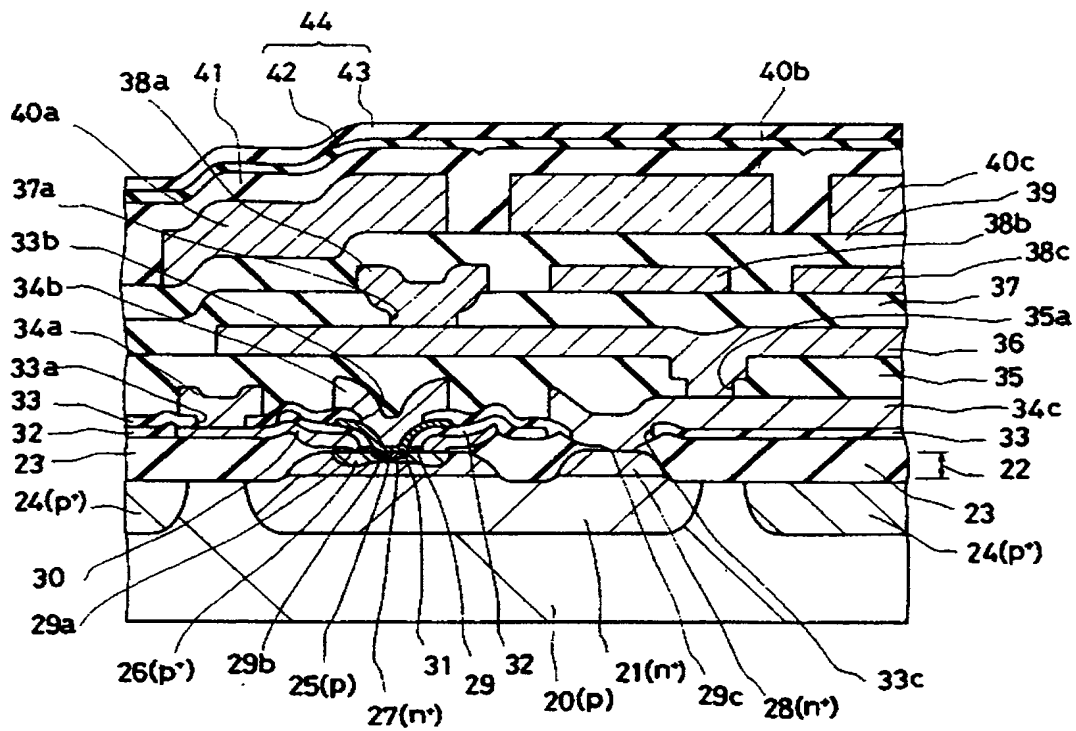
第 4 図



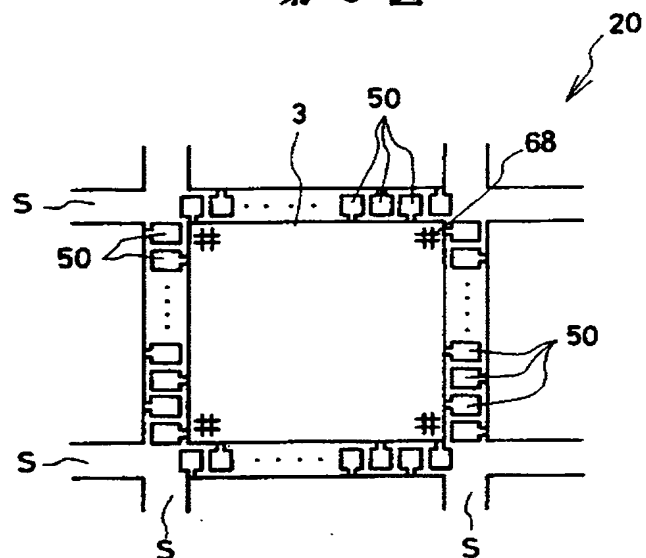
第 3 図



第 5 図

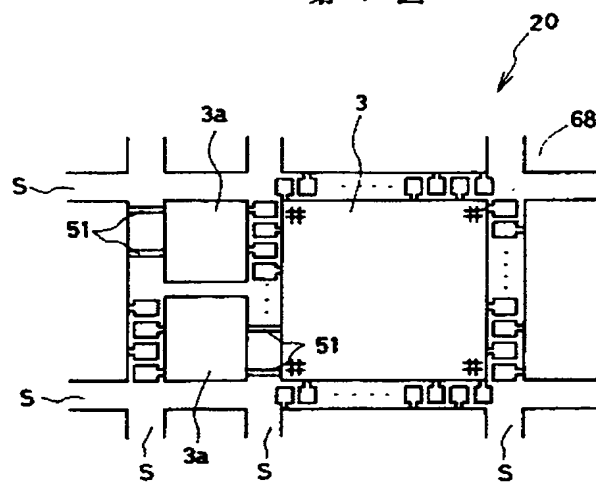


第 6 図



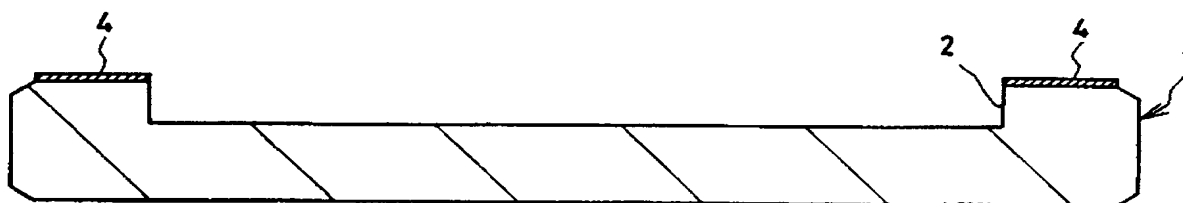
50:テスト用パッド

第 7 図

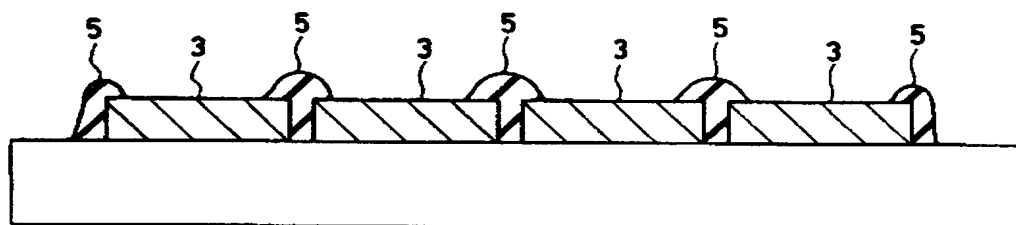


3.8: テスト用チップ

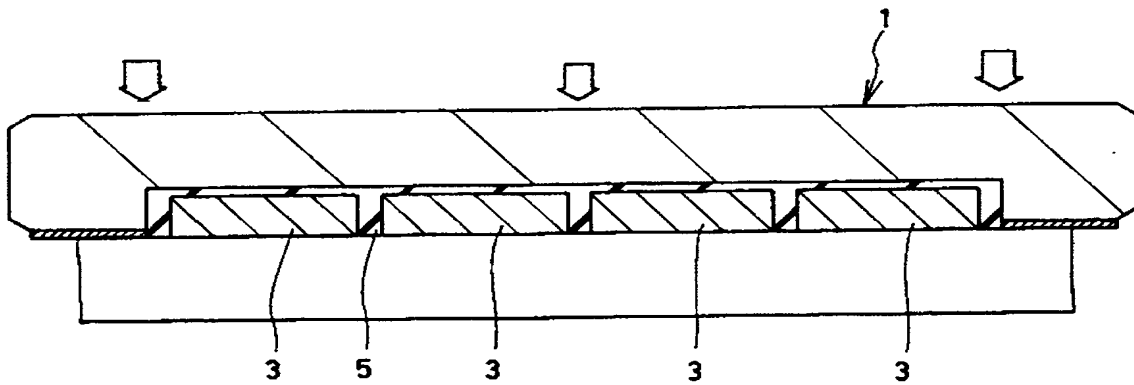
第 8 図



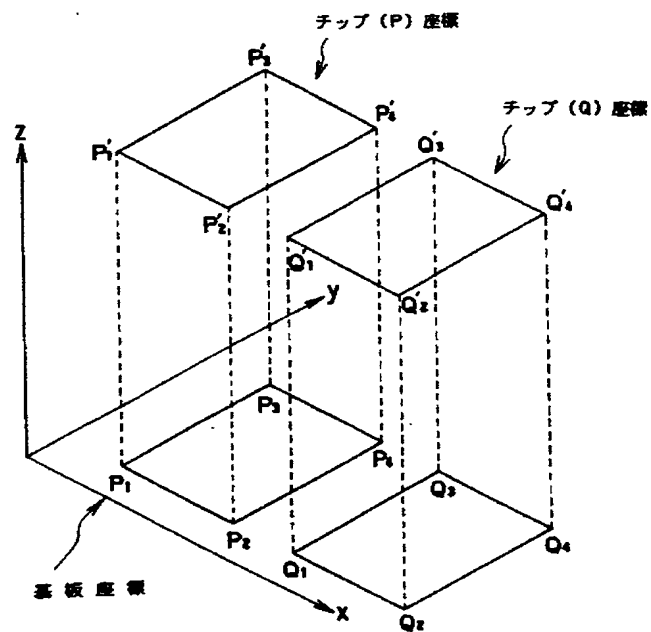
第 9 図



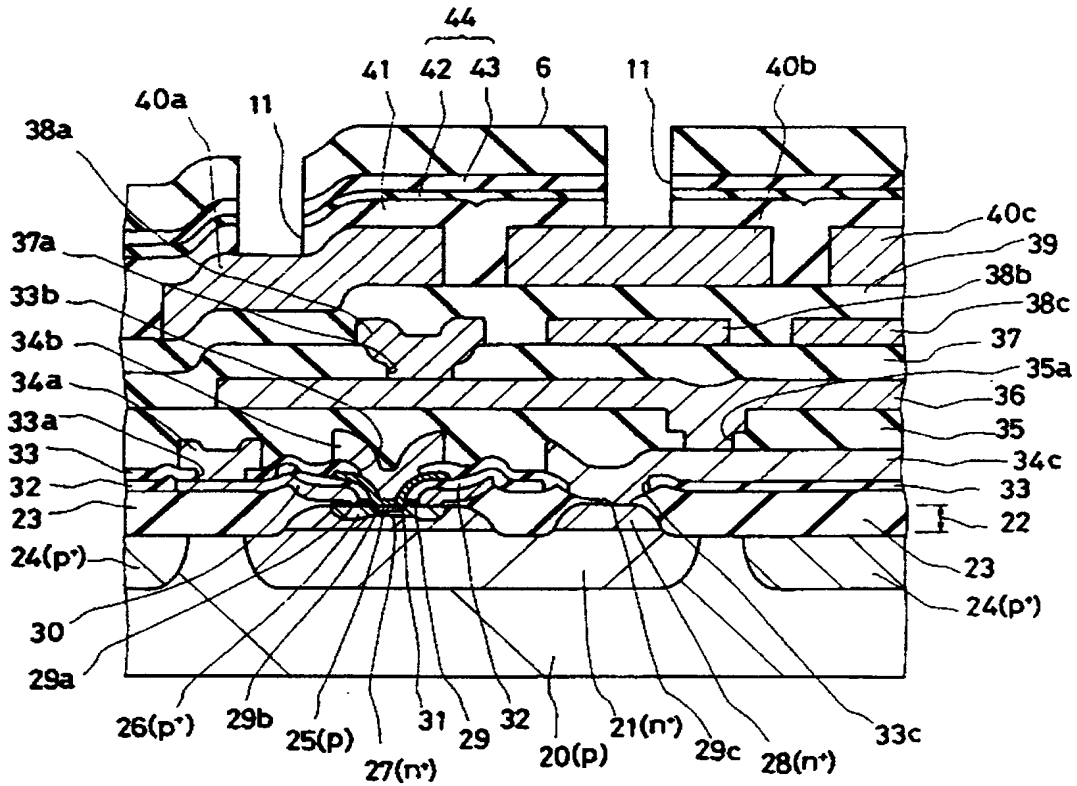
第 10 図



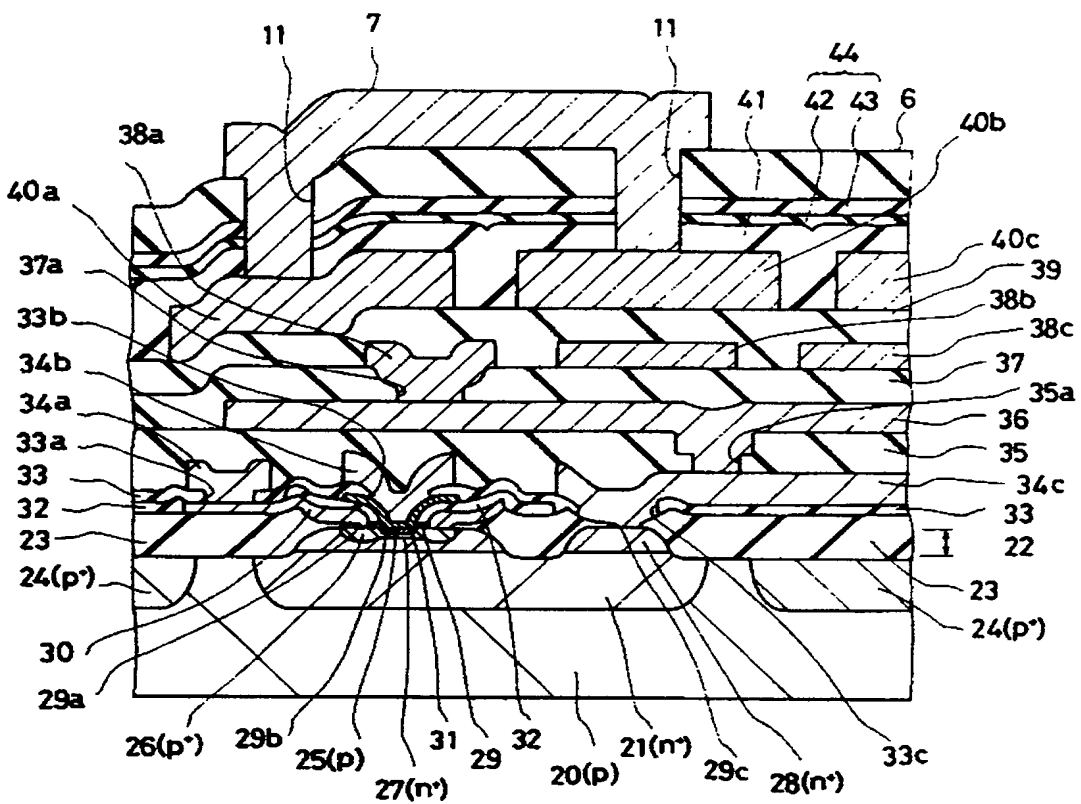
第 11 図



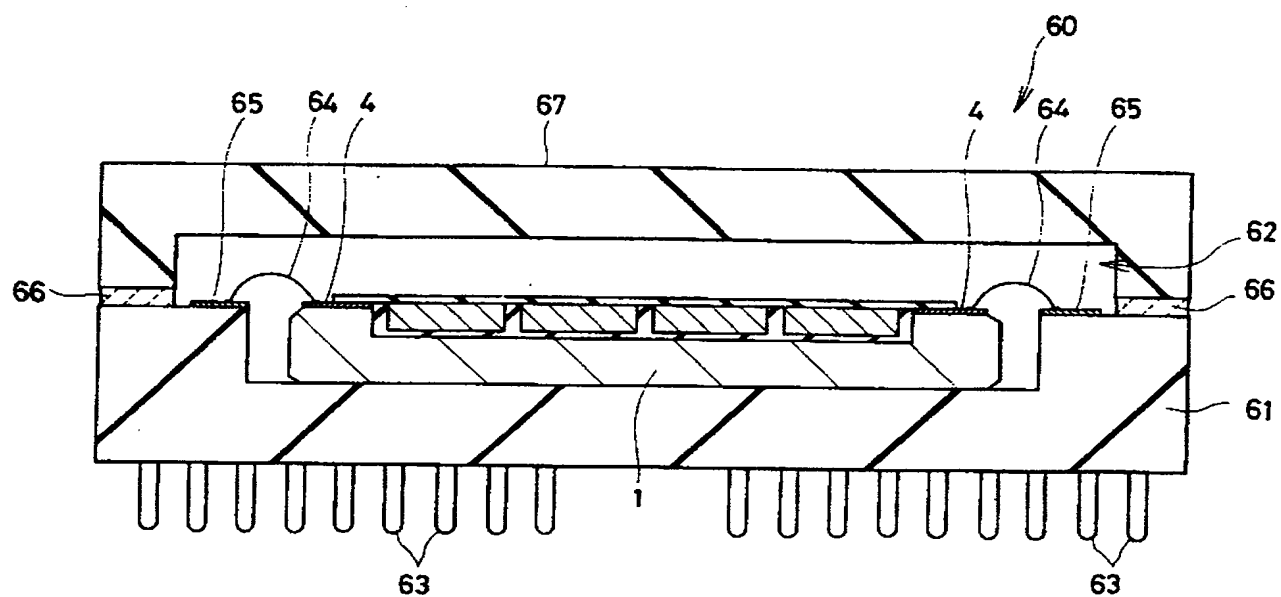
第 12 図



第 13 図

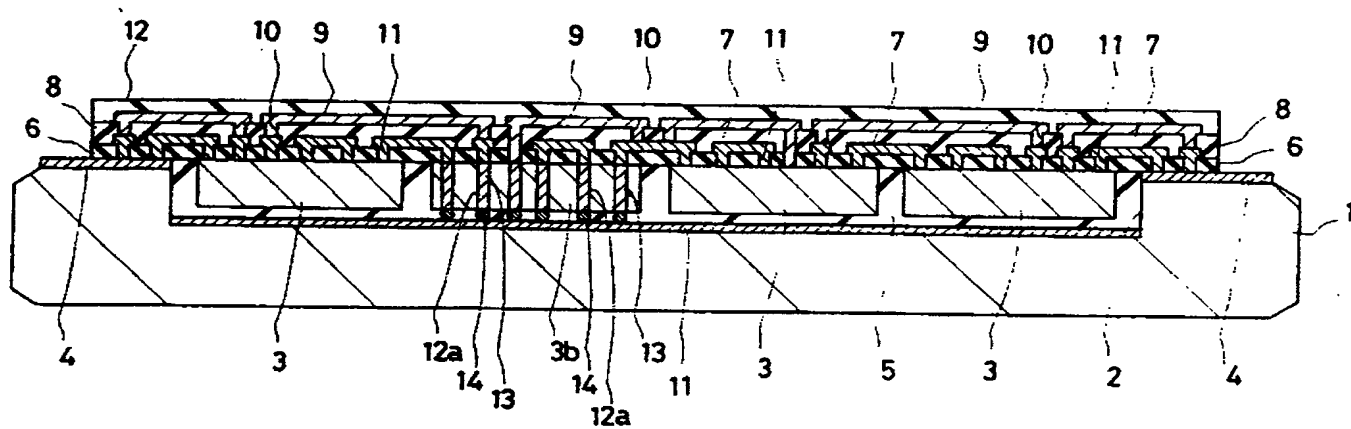


第 14 図



60 : マルチチップ・パッケージ

第 15 図



3b : 配線用チップ
11 : 配線

第1頁の続き

⑤Int. Cl.⁵

H 01 L 21/3205
21/66

識別記号

庁内整理番号

B 7013-4M
E 7013-4M
F 7013-4M

23/12
25/04
25/18
27/04

U 7514-4M
7638-4M
7352-4M

H 01 L 25/04
23/12

Z
N

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成11年(1999)12月10日

【公開番号】特開平4-72656

【公開日】平成4年(1992)3月6日

【年通号数】公開特許公報4-727

【出願番号】特願平2-309259

【国際特許分類第6版】

H01L 23/522

21/3205

21/66

21/822

27/04

// H01L 23/12

25/04

25/18

【FI】

H01L 23/52 B

21/66 B

21/88 A

27/04 T

25/04 Z

23/12 N

特許庁長官 殿

平成9年11月17日

特許庁長官 殿

1. 事件の表示

平成2年 特許第 308259号

2. 補正をする者

事件との関係 特許出願人

名称 (510) 株式会社日立製作所
名称 日立コンピュータエンジニアリング株式会社

3. 代理人 平160

住所 東京都新宿区西新宿7丁目22番45号
N. S. Excel 301
〒160-0787
氏名 (8000) 井上 尚 井 大 和

4. 補正対象書類名 明細書

5. 補正対象項目名 発明の名称、特許請求の範囲、
発明の詳細な説明

6. 補正の内容

(1). 発明の名称「半導体集積回路装置およびその製造方法」を「マルチチップ・モジュールおよびその製造方法」に補正する。

(2). 特許請求の範囲を別紙の通り補正する。

(3). 明細書第3頁第13行～第15行の「本発明は、・・・である。」を「本発明は、マルチチップ・モジュールおよびその製造方法に関するものである。」に補正する。

(4). 明細書第6頁第10行～第7頁第8行の「本願の一発明は、・・・である。」を次のように補正する。

「本願の一発明は、以下の工程(a)～(e)を含むマルチチップ・モジュールの製造方法である:

(a) それぞれの主面に複数の図柄とマークとが形成された第1および第2の半導体チップを基板に搭載する工程、

(b) 前記基板に搭載された前記第1および第2の半導体チップの前記マークの位置を測定してその測定データを得る工程、

(c) 前記第1および第2の半導体チップのそれぞれの主面上に絶縁膜を形成する工程、

(d) 前記マークの測定データに基づいて、前記絶縁膜に複数の貫通孔を形成する工程、

(e) 前記第1および第2の半導体チップのそれぞれの主面上に配線層を形成し、前記配線層の配線および前記貫通孔を通じて前記第1の半導体チップと前記第2の半導体チップとを電気的に接続する工程。」

(以上)

(項 編)

1. 特許請求の範囲

1. それぞれの主面に複数の同様のマークとが形成された第1および第2の半導体チップと、前記第1および第2の半導体チップを配置する基板上、前記第1および第2の半導体チップのそれぞれの主面に形成された熱接層と、前記マークの位置を測定データに基づいて前記熱接層に形成された複数の接続孔と、前記複数の接続孔を通じて前記第1の半導体チップと前記第2の半導体チップとを電気的に接続する配線層とを有することを特徴とするマルチチップ・モジュール。
2. 前記基板上に配線層を形成するフェイズダウン・ボンディングし、前記配線層上に形成した内部配線を通じて、前記第1および第2の半導体チップのそれぞれの配線と前記基板上の配線とを電気的に接続したことを特徴とする請求項1記載のマルチチップ・モジュール。
3. 前記基板をパッケージに封止したことを特徴とする請求項1記載のマルチチップ・モジュール。
4. システムの構成単位となる複数の半導体チップを基板上に搭載した後、前記複数の半導体チップのそれぞれの主面に熱接層と配線層とを交互に形成し、基板上にパターン形成した前記配線層の配線を通じて所定の半導体チップ間を電気的に接続することによって、前記基板上に所定のシステムを実現することを特徴とするマルチチップ・モジュールの製造方法。
5. システムの構成単位となる前記複数の半導体チップは、シングルチップ・マイクロコンピュータを含むことを特徴とする請求項1記載のマルチチップ・モジュールの製造方法。
6. 基板上に形成したチップ間接続情報ファイルに基づいて、前記配線層の配線をパターン形成することを特徴とする請求項1記載のマルチチップ・モジュールの製造方法。
7. 電子線直接描画法またはレーザー直接描画法を用いて前記配線層の配線をパターン形成することを特徴とする請求項1記載のマルチチップ・モジュール

の製造方法。

8. 半導体ウエハのスクライブライン上に、半導体チップと電気的に接続されたパッドを形成し、ウエハプロセスが完了した後、前記パッドにプローブを当てて前記半導体チップの良否を判定することを特徴とする請求項1記載のマルチチップ・モジュールの製造方法。
9. 半導体ウエハの一部に、半導体チップと電気的に接続されたテスト用チップを形成し、ウエハプロセスが完了した後、前記テスト用チップを通じて前記半導体チップの良否を判定することを特徴とする請求項1記載のマルチチップ・モジュールの製造方法。
10. 以下の工程(a)～(e)を含むことを特徴とするマルチチップ・モジュールの製造方法:
 - (a) それぞれの主面に複数の同様のマークとが形成された第1および第2の半導体チップを基板上に配置する工程。
 - (b) 前記基板上に形成された前記第1および第2の半導体チップの前記マークの位置を測定してその測定データを得る工程。
 - (c) 前記第1および第2の半導体チップのそれぞれの主面に熱接層を形成する工程。
 - (d) 前記マークの測定データに基づいて、前記熱接層に複数の接続孔を形成する工程。
 - (e) 前記第1および第2の半導体チップのそれぞれの主面に配線層を形成し、前記配線層の配線および前記接続孔を通じて前記第1の半導体チップと前記第2の半導体チップとを電気的に接続する工程。

(以上)